

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-027134

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

H03K 19/0175

(21)Application number : 09-178003

(71)Applicant : OKI TEC:KK  
OKI ELECTRIC IND CO LTD

(22)Date of filing : 03.07.1997

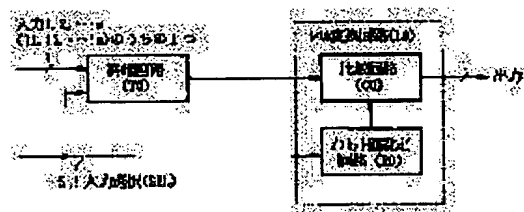
(72)Inventor : YOSHINO HIROYUKI  
YAMADA SUSUMU

## (54) INTERFACE CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To use one input terminal, a termination circuit and a level conversion circuit for inputs whose interface levels differ from each other by providing an output of a comparison result between an output signal of the termination circuit and an offset of an offset value setting value in a signal form of an interface level requested by a signal processing system connecting to a post stage.

**SOLUTION:** The interface circuit consists of a termination circuit TO and a level conversion circuit LO, and the circuits are configured in common to receive a plurality of kinds of inputs. The terminal circuit TO selects its termination condition depending on each input and extracts an output of each interface level for each input. The level conversion circuit LO consists of an offset setting circuit RO and a comparator circuit CO, the offset setting circuit RO selects each offset for each input and the comparator circuit CO converts a level of a received signal into a common interface level.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-27134

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.<sup>8</sup>

H 0 3 K 19/0175

識別記号

F I

H 0 3 K 19/00

1 0 1 R

1 0 1 A

1 0 1 Q

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願平9-178003

(22) 出願日 平成9年(1997) 7月3日

(71) 出願人 593065844

株式会社沖テック

愛知県名古屋市中区上名三丁目25番28号 第7猪村ビル

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 芳野 裕之

愛知県名古屋市中区丸の内3丁目22番21号  
株式会社沖テック内

(72) 発明者 山田 享

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

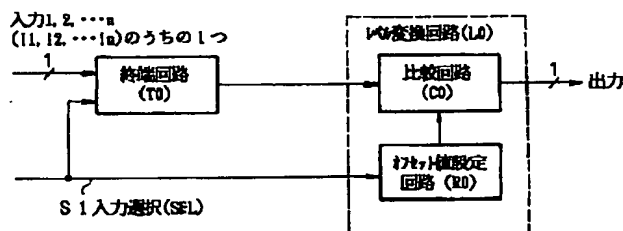
(74) 代理人 弁理士 工藤 宣幸

(54) 【発明の名称】 インターフェース回路

(57) 【要約】

【課題】 インターフェースレベルを異にする複数の入力に対応するには、それぞれについて専用の回路を入力の個数だけ設ける必要があり、回路規模が大型化していた。

【解決手段】 インターフェースレベルを異にする2種以上の入力のうち現時点において入力されている入力の種類に応じて、その終端条件を切り替え得る機能を有する終端条件切替機能付き終端回路と、当該終端条件切替機能付き終端回路に連動し、発生するオフセット値を、現入力のインターフェースレベルに応じて切り替えるオフセット値切替機能付きオフセット値設定回路とを用意する。そして、これら終端回路の出力信号とオフセット値設定回路で設定されたオフセット値とを比較回路で比較し、その比較結果を、後段に接続された信号処理システムにおいて要求されるインターフェースレベルの信号形式で出力するようにする。



## 【特許請求の範囲】

【請求項 1】 インターフェースレベルを異にする複数の信号処理システム間に位置し、入出力間においてインターフェースレベルの変換動作を行い、変換後の信号を後段の信号処理システムに出力するインターフェース回路において、

インターフェースレベルを異にする 2 種以上の入力に対応し、そのうちのいずれか一つを入力する単一の入力端子と、当該入力端子に入力されている現入力のインターフェースレベルの種類を選択信号として入力する端子と、上記選択信号に応じ、その終端条件を現入力に応じた終端条件に切り替える機能を有する終端条件切替機能付き終端回路と、

上記選択信号を入力することにより上記終端条件切替機能付き終端回路と連動し、発生するオフセット値を、現入力のインターフェースレベルに応じて切り替え得る機能を有するオフセット値切替機能付きオフセット値設定回路と、

上記終端回路の出力信号と上記オフセット値設定回路より与えられるオフセット値とを比較し、その比較結果を、後段に接続された信号処理システムにおいて要求されるインターフェースレベルの信号形式で出力する比較回路とを備えることを特徴とするインターフェース回路。

【請求項 2】 請求項 1 に記載のインターフェース回路において、

上記終端条件切替機能付き終端回路は、各インターフェースレベルに応じて用意された固有の電源電圧、若しくは、複数のインターフェースレベルに対して共通に用意された電源電圧、又は、これらを組み合わせた複数の電源電圧と終端回路との接続を切り替えることにより、終端条件を切り替えることを特徴とするインターフェース回路。

【請求項 3】 請求項 1 に記載のインターフェース回路において、

上記オフセット値切替機能付きオフセット値設定回路は、発生されたオフセット値の微調整に用いる微調整回路を有することを特徴とするインターフェース回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、それぞれ固有のインターフェースレベルを有する入力信号を、信号によらず、同一のインターフェースレベルに変換する機能を備えるインターフェース回路に関する。

## 【0002】

【従来の技術】 図 2 に、従来用いられているインタフェース回路の回路構成を示し、図 3 に、その動作例を示す。従来のインターフェース回路では、インターフェースレベルを異にする  $n$  種類の入力  $I_1$ 、 $I_2$ 、 $\dots$ 、 $I_n$  に対応する必要がある場合、各入力ごとに独立した入力端

子を用意し、個別にインターフェースレベルを変換する手法が用いられていた。

【0003】 すなわち、 $n$  個の入力端子それぞれに、各入力  $I_1$ 、 $I_2$ 、 $\dots$ 、 $I_n$  に固有の終端回路  $T_1$ 、 $T_2$ 、 $\dots$ 、 $T_n$  及びレベル変換回路  $L_1$ 、 $L_2$ 、 $\dots$ 、 $L_n$  を接続し、これら回路の組み合わせにより、インターフェースレベルを異にする複数の入力を、同一レベルの信号に変換する手法が用いられていた。

【0004】 例えば、図 3 (A) 及び (C) に示すように論理振幅を異にする入力  $I_1$  及び  $I_2$  を、対応するレベル変換回路  $L_1$  及び  $L_2$  によって同一の論理振幅信号に変換していた (図 3 (B) 及び (D))。

【0005】 なお、従来回路では、このように同一のインターフェースレベルに変換した後の  $n$  個の信号を入力選択回路  $S_1$  に入力し、これらのうちの 1 つを入力選択信号  $S_{EL}$  により選択し後段の回路へ出力する構成となっている。

## 【0006】

【発明が解決しようとする課題】 ところが、このように入力ごとに個別の終端回路とレベル変換回路を設ける構成は、扱う信号の種類が多くなればなるほど回路規模が大型化するという課題があり、インターフェース回路が大型化するという問題があった。

【0007】 本発明は以上の点を考慮してなされたもので、インターフェースレベルを異にする入力に対して 1 つの入力端子、終端回路及びレベル変換回路を共用化できるようにし、回路規模及び装置構成の小型化を実現しようとするものである。

## 【0008】

【課題を解決するための手段】 かかる課題を解決するため、本発明においては、インターフェースレベルを異にする複数の信号処理システム間に位置し、入出力間においてインターフェースレベルの変換動作を行い、変換後の信号を後段の信号処理システムに出力するインターフェース回路において、以下の手段を設けるようにする。

【0009】 すなわち、(1) インターフェースレベルを異にする 2 種以上の入力 ( $I_1$ 、 $I_2$ 、 $\dots$ 、 $I_n$ ) に対応し、そのうちのいずれか一つ (例えば、 $I_1$ ) を入力する単一の入力端子と、当該入力端子に入力されている現入力のインターフェースレベルの種類を選択信号として入力する端子と、選択信号に応じ、その終端条件を現入力に応じた終端条件に切り替える機能を有する終端条件切替機能付き終端回路と、(2) 選択信号を入力することにより終端条件切替機能付き終端回路と連動し、発生するオフセット値を、現入力のインターフェースレベルに応じて切り替え得る機能を有するオフセット値切替機能付きオフセット値設定回路と、(3) 終端回路の出力信号とオフセット値設定回路より与えられるオフセット値とを比較し、その比較結果を、後段に接続された信号処理システムにおいて要求されるインターフェースレベルの

## 3

信号形式で出力する比較回路とを設けるようにする。

【0010】このように、インターフェースレベルを異にする2以上の入力のうち、いずれのインターフェースレベルの入力が入力される場合でも、入力に応じた終端条件とオフセット値を選択するだけで、後段に接続された信号処理システムに適したインターフェースレベルに変換して出力することが可能となる。

【0011】しかもその際、インターフェース回路に必要となる回路は、入力側で対応する必要のあるインターフェースレベルの数によらず、それぞれ1個の終端回路と、オフセット値設定回路と、比較回路だけで良く、全てのインターフェースレベルに対応したレベル変換回路を必要とした従来回路に比して、格段に小さい回路構成で済む。

【0012】

【発明の実施の形態】

(A) インターフェース回路の基本構成

以下、本発明に係るインターフェース回路の一実施形態を、図面を用いて説明する。ただし、この実施形態において扱うn種類の入力I1、I2、…Inのそれぞれは、インターフェースレベル（入出力レベル、電源電圧等）を異にし、いずれも時間的に重複して入力されることはないものとする。

【0013】図1に、本実施形態に係るインターフェース回路の基本構成を示す。このインターフェース回路は、一つの終端回路TOと一つのレベル変換回路LOのみからなり、これら回路を複数種類の入力に共用する構成となっている。

【0014】このため、終端回路TOは、入力に応じてその終端条件（インターフェースレベル）を切替えることができるように構成されており、各入力ごとにインターフェースレベルの出力を取り出せるようになっている。なお、終端回路TOに設けられている入力端子の数は一つであり、終端条件の切替は入力選択信号S1により行われる。

【0015】レベル変換回路LOは、1つのオフセット値設定回路ROと、1つの比較回路COとからなる。このうちオフセット値設定回路ROは、各入力ごとにオフセット値（すなわち、論理判定のためのしきい値電圧）を切り替えるようになっている。なお、当該オフセット値の切替も入力選択信号S1により行う。

【0016】比較回路COは、終端回路TOから入力される受信信号と、オフセット値設定回路ROから与えられるオフセット値とを比較することにより、受信信号を、ある共通のインターフェースレベルの信号に変換する回路であり、その出力は従来回路の出力と同じになる。

【0017】図4に、以上の構成を有するインターフェース回路において実行されるレベル変換動作の一例を示す。なお、図4においては、n個の入力I1、I2、…

## 4

Inのうち、I1とI2がそれぞれ順番に入力される場合について表しており、表現上、本来異なるオフセット値の信号レベルを同一の信号レベルとして表している。勿論、入力の種類によってはオフセット値が同一のものもある。

【0018】まず、入力選択信号SELによりI1の入力が選択される（図4（B））。これに伴い、終端回路TOの終端条件がI1用に切り替えられ、相対的に小振幅の出力が現れる（図4（A））。同時に、オフセット設定回路ROのオフセット値がI1オフセット値に切り替わる（図4（C））。この結果、比較回路COは、終端回路TOの出力とI1オフセット値（図4（A）において破線で示す）とを比較し、両者の大小関係が入れ替わる時点に変化点を有する出力信号を出力する。

【0019】次に、入力選択信号SELによりI2の入力が選択される（図4（B））。これに伴い、今度は、終端回路TOの終端条件がI2用に切り替えられ、相対的に大振幅の出力が現れる（図4（A））。同時に、オフセット設定回路ROのオフセット値もI2オフセット値に切り替わる（図4（C））。この結果、比較回路COは、終端回路TOの出力とI2オフセット値（図4（A）において破線で示す）とを比較し、両者の大小関係が入れ替わる時点に変化点を有する出力信号を出力する。

【0020】以上のように、本実施形態のインターフェース回路を用いれば、終端回路TO及びレベル変換回路LOを一組しか有しない小型の構成であるにも関わらず、従来回路と同様の出力を得ることができることになる。

【0021】（B）インターフェース回路の具体的な構成例

続いて、インターフェース回路を構成する各部の具体的な回路構成を、図面を用いて説明する。

【0022】以下の説明では、入力の種類を2種類とする。すなわち、LV TTLレベルとECLレベルの2種類とする。また、出力レベルを、LV CMOSレベルとする。

【0023】なお、LV TTLレベルでは、一般に、Hレベル入力電圧として2V程度以上、Lレベル入力電圧として0.8V程度以下が要求されている。また、ECLレベルでは、一般に、Hレベル入力電圧として-1.13V程度以上、Lレベル入力電圧として-1.48V程度以下が要求されている。さらに、LV CMOSレベルでは、一般に、Hレベル入力電圧として2.0V程度以上、Lレベル入力電圧として0.8V程度以下が要求されている。

【0024】（B-1）終端回路TO

（a）構成

まず、終端回路TOの構成例を説明する。当該回路は、図5に示すように、信号線と接地電位との間に直列に接続されたダイオードD2及び抵抗R13と、これら素子

## 5

の接続中点電位を定める抵抗R10～R12及びスイッチSW3とからなる。なお、抵抗R14は、終端回路T0の入力が解放状態である場合にのみ有効となるブルダウン抵抗であり、抵抗値の大きなものが用いられる。

## 【0025】(b)動作

次に、終端回路T0における終端条件の切替動作を説明すると共に、各抵抗に要求される抵抗値の条件を説明する。この終端条件の切替は、スイッチSW3の接点を切替えることにより行われる。

【0026】まず、入力がECLの場合について説明する。この場合、スイッチSW3の接点は、抵抗R11側に接続される。このときの等価回路は、図6のようになる。

【0027】ここで、入力インタフェースの解放時の電圧V0とインピーダンスRMは、抵抗R11～R13の値及びダイオードD2による電圧降下VDFにより決定される。なお、ダイオードD2による電圧降下VDFを一定と考えると、入力インタフェースの開放時における電圧V0とインピーダンスRMは、抵抗R11～R13の値により決定される。

【0028】従って、ECLの終端条件を満たすように抵抗R11～R13の抵抗値を決定しておくことが要求される。

・LVTTLレベルでのしきい電圧  
その最大値  
その最小値

・LVTTL用電源電圧  
・ECL用電源電圧  
・スイッチSW3の接点がR10に触れ、かつ、R11に触れたという異常時に流すことが許される電流  
・比較回路COを構成するオペアンプに流入する電流の最大絶対値  
・ダイオードD2の順方向電圧  
・LVTTL出力のHレベル許容出力電流

## (c-2) 要求条件

・R14について  

$$VDD / I_{TH} < R14 < VSTL / I_i$$
 ・R13について  

$$R13 = RM \cdot R14 \cdot VEE / ((R14 - RM)(VDF + VEE) \cdot VDF)$$
 ・R10、R11、R12について  

$$\alpha = R13 (VDD / VSTH - 1)$$

$$\beta = (VDD - VEE) / I_{sw}$$

$$\gamma = RM \cdot R14 \cdot VEE / ((R14 \cdot V0 - (R14 - RM) - R14 \cdot V0)$$
 R10及びR11については、次の(1)～(4)式を満たす組から選ぶ。ただし、 $R12 = \gamma - R11$ とする。

## 6

【0029】次に、入力がLVTTLの場合について説明する。この場合、スイッチSW3の接点は、抵抗R10側に接続される。このときの等価回路は、図7のようになる。ここで、入力「L」レベルの場合、ダイオードD2は逆方向電圧が印加されるためオフし、信号線に負荷が接続されていないのと同じ状態になるので、入力そのまま比較回路COに与えられる。

【0030】これに対して、入力「H」レベルの場合、その電位が、ダイオードD2のアノード電位（すなわち、順方向電圧VDF+カソード電位V1（ $= (R13 / (R10 + R12 + R13)) \times 3.3V$ ）より低い限り、ダイオードD2はオフした状態を維持し、「L」レベルの場合と同じく入力そのまま比較回路COに与えられる。

【0031】従って、ダイオードD2による順方向電圧VDFが一定電圧と考えると、抵抗R10、R12及びR13の抵抗値を、 $V1 > V_H - VDF$ の条件を満たすように決定しておくことが要求される。

## 【0032】(c)抵抗値に求められる条件

最後に、この終端回路T0を構成する各抵抗に求められる条件をまとめておく。

【0033】(c-1)条件の説明に用いる記号の定義  
 なお、以下の説明では、各記号を次の定義で用いる。

VST

VSTH

VSTL

(ただし、 $VSTL \leq VST \leq VSTH$ )

VDD (+ 3.3V)

VEE (- 5.2V)

I<sub>sw</sub>I<sub>i</sub>

VDF

I<sub>TH</sub>

## 【0034】

$R10 + R11 > \beta$  …(1)

$R10 - R11 < \alpha - \gamma$  …(2)

$R10 > 0$  …(3)

$0 < R11 < \gamma$  …(4)

ある $\alpha$ 、 $\beta$ 、 $\gamma$ の組を例として考えた場合、この(1)～(4)式を満たす抵抗の組の範囲を図8に示す。

## 【0035】(B-2)オフセット値設定回路RO

## (a)構成

続いて、オフセット値設定回路ROの構成例を説明する。当該回路は、図9に示すように、オペアンプOP1と、おおよそのオフセット値を発生するのに用いられる回路部分と、その電位の微調整に用いられる回路部分とで構成されている。

【0036】ここで、前者の回路は、抵抗 $R_1 \sim R_3$ 及びスイッチ $SW_1$ からなる。この回路は、スイッチ $SW_1$ の接点切替えにより、オペアンプ $OP_1$ の非反転入力端に与えられる電位を切り替える構成となっている。一方、後者の回路は、抵抗 $R_6 \sim R_9$ 及びスイッチ $SW_2$ から構成された加算回路からなる。この回路は、3ビットのオンオフ信号によりスイッチ $SW_2$ の3つの接点を個別にオンオフし、オペアンプ $OP_1$ の反転入力端に帰還される電位を微調整する構成となっている。

#### 【0037】(b)動作

次に、オフセット値設定回路 $RO$ におけるオフセット値の切替動作を説明すると共に、各抵抗に要求される抵抗値の条件を説明する。なお、このオフセット値の切替は、主にスイッチ $SW_1$ の接点を切り替えにより、補助的にスイッチ $SW_2$ の接点を切り替えることにより行われる。

【0038】まず、信号レベルが負電位で変化する $ECL$ が入力信号である場合について説明する。この場合、スイッチ $SW_1$ は抵抗 $R_2$ 側に接続される。これにより、抵抗 $R_2$ 及び $R_3$ の接続中点には、 $-5.2V$ と接地電位間とを抵抗 $R_2$ 及び $R_3$ の抵抗比によって分圧した負極性かつ論理振幅のしきい値のうち高い方の電圧が発生し、これがオペアンプ $OP_1$ の非反転入力端に入力される。

【0039】一方、信号レベルが正極性変化する $LVT$

・ $LVT$   $TTL$ レベルでのしきい電圧

その最大値

その最小値

・ $ECL$ レベルでのしきい電圧

その最大値

その最小値

・ $LVT$   $TTL$ 用電源電圧

・ $ECL$ 用電源電圧

・スイッチ $SW_1$ の接点が $R_1$ と $R_2$ が接続されている極同士が触れたという異常時に流すことが許される電流

・オペアンプ $OP_1$ 及び $OP_2$ に入力する電流の最大絶対値

(c-2) 要求条件

・ $R_3$ について

$$R_{3min} < R_3 < R_{3max}$$

ただし、

$$R_{3min} = ((V_{DD} - V_{EE}) / I_{sw}) \cdot ((V_{STL} \cdot V_{SEL}) / (V_{SEL} \cdot V_{DD} + V_{STL} \cdot V_{EE} - 2 V_{STL} \cdot V_{SEL}))$$

$$R_{3max} = V_{SEL} / I_i$$

・ $R_1$ について

$$R_1 = (V_{DD} / V_{STL} - 1) \cdot R_3$$

・ $R_2$ について

$T_L$ が入力信号である場合には、次のようになる。すわなち、スイッチ $SW_1$ が、抵抗 $R_1$ 側に接続され、抵抗 $R_1$ 及び抵抗 $R_3$ の接続中点に、 $3.3V$ と接地電位間とを抵抗 $R_1$ 及び $R_3$ の抵抗比によって分圧した正極性かつ論理振幅のしきい値のうち、小さい方の電圧が発生される。そして、これがオペアンプ $OP_1$ の反転入力端に入力される。

【0040】従って、抵抗 $R_1$ と $R_3$ 及び抵抗 $R_2$ と $R_3$ の抵抗比は、それぞれ、発生されるオフセット値が、極性を異にする各入力レベルのしきい値のうち、絶対値が小さい方の電圧となるように決定しておくことが要求される。

【0041】ところが、以上の条件を満たすように設計した場合であっても、入力信号に認められているマージン分の電位変動によっては、かかるオフセット値が入力信号に対して最適でない場合がある。そこで、この場合には、スイッチ $SW_2$ を構成する3つのスイッチ素子を個別にオンオフし、帰還電位を調整することにより、入力とオフセット値の関係を最適化する。ここでは、抵抗 $R_6 \sim R_9$ を以下のように設定する。

【0042】(c)抵抗値に求められる条件

このオフセット値設定回路 $RO$ を構成する各抵抗に求められる条件を説明する。

【0043】(c-1)条件の説明に用いる記号の定義  
なお、以下の説明では、各記号を次の定義で用いる。

$V_{ST}$

$V_{STH}$

$V_{STL}$

(ただし、 $V_{STL} \leq V_{ST} \leq V_{STH}$ )

$V_{SE}$

$V_{SEH}$

$V_{SEL}$

(ただし、 $V_{SEL} \leq V_{SE} \leq V_{SEH}$ )

$V_{DD} (+3.3V)$

$V_{EE} (-5.2V)$

$I_{sw}$

$I_i$

$$R_2 = (V_{EE} / V_{SEH} - 1) \cdot R_3$$

・ $R_9$ について

$$R_9 \ll |V_{SL}| / I_i$$

ただし、 $|V_{SL}| = \min(|V_{STL}|, |V_{SEL}|)$

・ $R_8$ について

$$R_8 = R_9 / 2$$

・ $R_7$ について

$$R_7 = R_8 / 2$$

・ $R_6$ について

$$R_6 = (R_9 / 7) \cdot (B / A - 1)$$

ただし、 $B/A$ は、 $LVTTTL$ 及び $ECL$ それぞれについて、しきい値電圧の絶対値が大きいものの小さいものに対する比で、その比のうち大きい方の値である。すなわち、

$$B/A = \max(V_{STH}/V_{STL}, V_{SEL}/V_{SEH})$$

#### (B-3) 比較回路CO

最後に、比較回路COの構成例及び動作を説明する。当該回路は、図9に示すように、オペアンプOP2と、LVCMOS信号処理回路とのインターフェース回路（抵抗R4、R5及びダイオードD1）とからなる。

【0044】オペアンプOP2には、終端回路TOの出力が非反転入力端に接続され、オフセット値設定回路ROの出力が反転入力端に接続されている。ここで、オペアンプOP2は、非反転入力端への入力電位が反転入力端への入力電位より大きいとき、3.3Vの出力信号をLVCMOS信号処理回路へ出力し、その逆の場合、-5.2Vの出力信号をLVCMOS信号処理回路へ出力する回路である。すなわち、この回路の出力は、入力レベルの違いによらず、常に3.3V又は-5.2Vのいずれかである。

【0045】一方、インターフェース回路は、一方の電極が3.3Vの電源電圧に接続された抵抗R4と、ダイオードD1と、一方の電極が接地電位に接続された抵抗R5からなる。ここで、ダイオードD1のアノードと抵抗R4との接続中点にはオペアンプOP2の出力端が接続されており、ダイオードD1のカソードと抵抗R5の接続中点にはLVCMOS信号処理回路の入力端が接続されている。

【0046】かかる構成の比較回路COは、次のように動作する。

【0047】まず、入力が高レベル（ECLであるかLVTTTLであるかを問わず）のとき、オペアンプOP2の出力は3.3Vとなり、ダイオードD1に順方向電圧が印加される。このとき、ダイオードD1はオンし、当該入力電位3.3Vに対して順方向電圧降下V<sub>DF</sub>だけ低い出力が後段に出力される。

【0048】一方、入力が高レベル（ECLであるかLVTTTLであるかを問わず）のとき、オペアンプOP2の出力は-5.2Vとなり、ダイオードD1に逆電圧が印加される。これにより、ダイオードD1はオフし、ほぼ接地電位の出力が後段に出力される。

#### 【0049】(C) 他の構成例

(1) なお、上述の例においては、オフセット値設定回路ROを微調整可能な構成としたが、かかる必要のない場合には、図10のようにその構成をより簡略化することができる。ただし、この時、R1～R3は、各入力レベルのしきい値の中間程度の電圧を生ずるように設定する。

【0050】(2) また、上述の例においては、入力をECLレベルとLVTTTLレベルの2種類とする場合に

いて述べたが、入力の組み合わせはこれらに限られない。

【0051】(3) さらに、上述の例においては、入力を2種類とする場合について述べたが、3種類以上の場合にも、同様の手法により本発明を適用し得る。

【0052】(4) さらに、上述の例においては、インターフェースレベルが正電位で定義されているLVTTTLレベルの信号と、インターフェースレベルが負電位で定義されているECLレベルの信号に対応するため、終端回路TOとオフセット値設定回路ROのそれぞれに、

3.3Vの正電源と-5.2Vの負電源を用意する場合について述べたが、入力インターフェースレベルがいずれも同電位で定義されている場合には、複数のインターフェースレベルに対して共通に一つの電源を用意するようにしても良く、また、各インターフェースレベルに固有の電源と複数のインターフェースレベルに共通の電源とを組み合わせた複数の電源を用意しても良い。

【0053】(5) さらに、上述のオフセット値設定回路の例においては、帰還抵抗R6に接続される抵抗をそれぞれ前述の関係に重み付け、当該各抵抗の接続を、3ビットのオンオフ信号により切り替えることにより8通りの微調整を実現する場合について述べたが、同様の回路構成において、スイッチSW2の接点のいずれか1のみをオンし他の2つの接点はオフするように制御して、3通りの微調整を行うようにしても良い。また、回路構成を他の回路構成とし、微調整の数を調整しても良い。

【0054】(6) さらに、上述の比較回路(CO)においては、出力としてLVCMOSとしているが、他のレベルでも良い。

【0055】(7) さらに、比較回路(CO)に+3.3Vの正電源と、-5.2Vの負電源以外の電源を用意しても良い。

#### 【0056】

【発明の効果】上述のように本発明によれば、インターフェース回路に、現入力のインターフェース条件に応じて、その終端条件を切り替え得る終端回路と、現入力に応じてオフセット値を設定し得るオフセット値設定回路とを設け、両回路の出力の比較回路での比較結果を後段の信号処理システムに出力するようにしたことにより、現入力のインターフェースレベルによらず、後段に接続された信号処理システムに適した状態の信号にインターフェース回路を実現することができる。

#### 【図面の簡単な説明】

【図1】本発明に係るインターフェース回路の基本回路構成を示すブロック図である。

【図2】従来回路の構成を示すブロック図である。

【図3】従来回路の動作説明に供する信号波形図である。

【図4】図1の回路による動作説明に供する信号波形図

である。

【図5】 終端回路の回路構成例を示す接続図である。

【図6】 ECLレベル設定時における終端回路の等価回路図である。

【図7】 LVTTTLレベル設定時における終端回路の等価回路図である。

【図8】 抵抗R10及びR11に要求される条件範囲を示す図である。

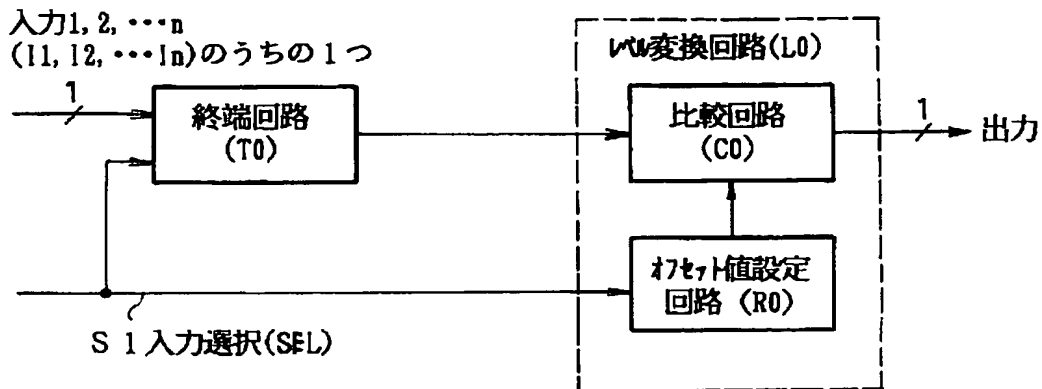
【図9】 オフセット値設定回路及び比較回路の回路構成例を示す接続図である。

【図10】 オフセット値設定回路の他の構成例を示す接続図である。

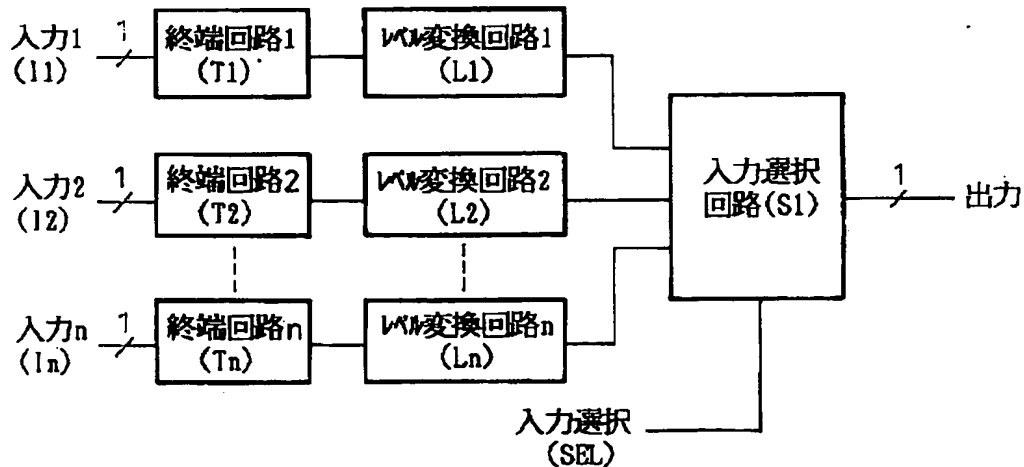
【符号の説明】

TO…終端回路、RO…オフセット値設定回路、CO…比較回路、OP1、OP2…オペアンプ、SW1、SW2、SW3…スイッチ。

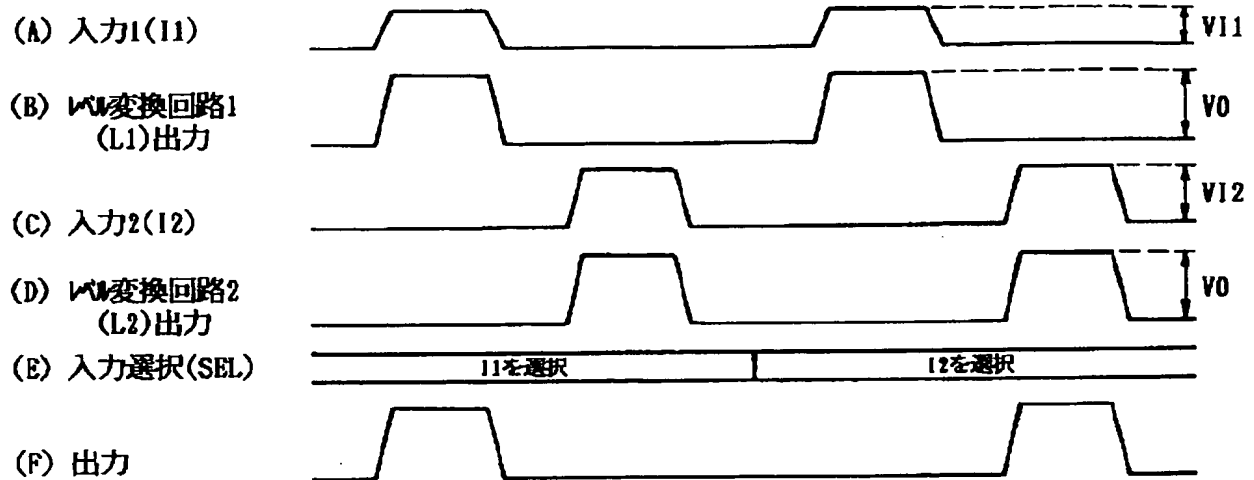
【図1】



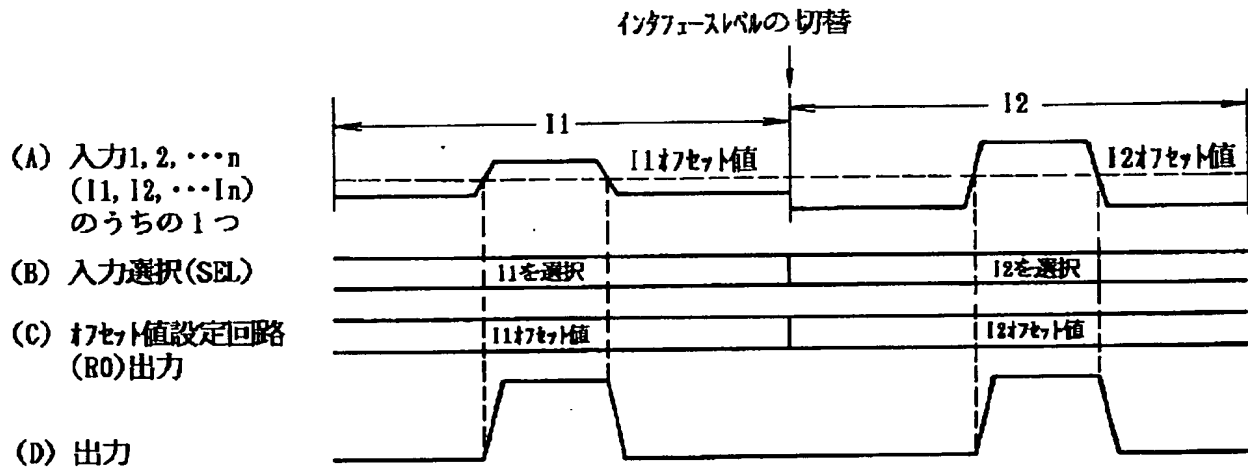
【図2】



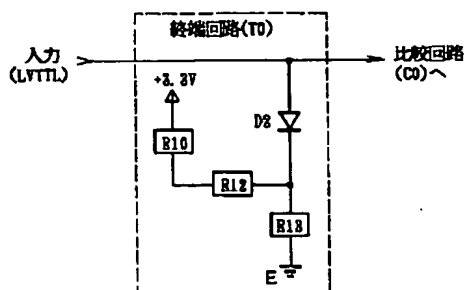
【図 3】



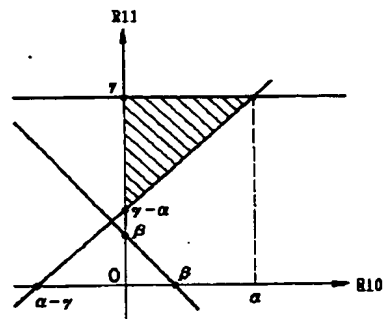
【図 4】



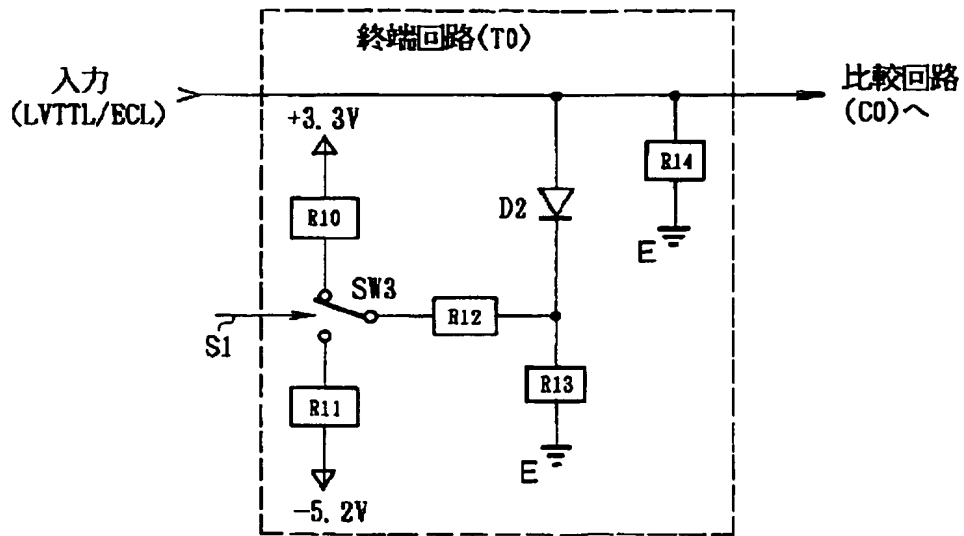
【図 7】



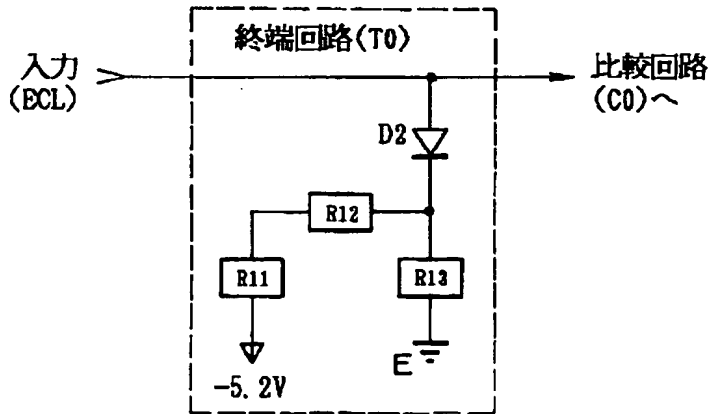
【図 8】



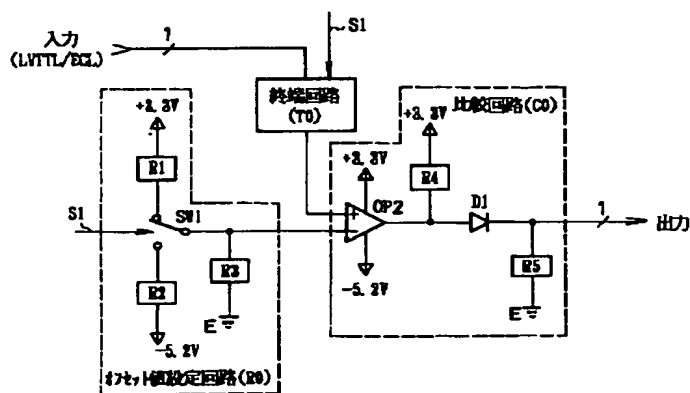
【図 5】



【図 6】



【図 10】



【図 9】

